

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11121645 A

(43) Date of publication of application: 30 . 04 . 99

(51) Int. Cl

H01L 23/12
H05K 3/46
// H05K 3/20

(21) Application number: 09280111

(22) Date of filing: 14 . 10 . 97

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: MORI NOBORU
MATSUNAGA HAYASHI
HAYAMA MASAAKI

(54) CERAMIC MULTI-LAYER SUBSTRATE AND
METHOD FOR MANUFACTURING IT

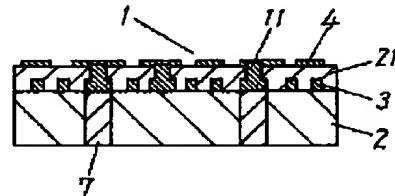
multi-layer substrate.

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide more minute line width of a conductor pattern and to reduce a wiring resistance for higher wiring density by printing a first insulating layer on a first conductor pattern where a pattern of a conductive paste is transferred onto a ceramics substrate and sintered, and then printing a second conductor pattern of it.

SOLUTION: On the surface of a flexible resin base material, fine first and second grooves are formed, used as an intaglio, which is filled with a conductor paste, and then deareated and dried. In order to compensate for reduction in volume due to drying, a process where an additional conductor paste is re-filled, re-deareated, and re-dried is repeated by a specified number of times so that the groove part is filled with a condensed conductor material. The intaglio and a ceramics substrate 2 are pasted together, and the conductor material packed in the groove part is transferred onto the ceramics substrate 2 and then sintered for a fine first conductor pattern 3. A first insulating layer 21 is printed on the first conductor pattern, and further, a second conductor pattern 4 is printed on the first insulating layer 21, which is to be a ceramics



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-121645

(43)公開日 平成11年(1999)4月30日

(51)Int.Cl.⁶
H01L 23/12
H05K 3/46

識別記号

F I
H01L 23/12
H05K 3/46

D
H
Q
X
N

(21)出願番号 特願平9-280111
(22)出願日 平成9年(1997)10月14日

(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 毛利 昇
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 松永 速
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 葉山 雅昭
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 弁理士 滝本 智之 (外1名)

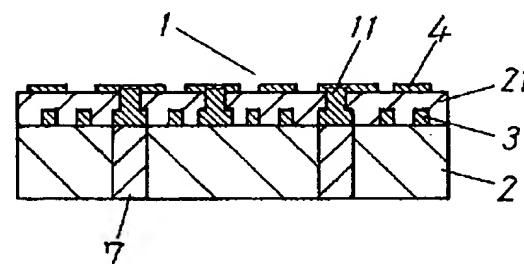
(54)【発明の名称】セラミック多層基板及びその製造方法

(57)【要約】

【課題】セラミック多層基板の製造方法として、配線抵抗が低く、高密度の配線が可能なものを提供する。

【解決手段】凹版を用いてセラミック基板2上に第1導体パターン3を転写し、第1絶縁層21を形成した上に第2導体パターン4を形成し、ビア11で両導体パターン3, 4を接続する構成とする。

1 セラミック多層基板 4 第2導体パターン
2 セラミック基板 7 スル-ホール
3 第1導体パターン 11 ビア
21 第1絶縁層



【特許請求の範囲】

【請求項 1】 セラミック基板上に第 1 導体パターンを凹版印刷によって形成し、第 1 導体パターンの上に絶縁体を形成しているセラミック多層基板の製造方法であつて、

(a) 可とう性樹脂基材の表面に第 1 導体パターンに対応するパターンで第 1 の溝を形成し、又第 1 導体パターンのピア部に対応するパターンで第 2 の溝を第 1 の溝よりも深く形成した凹版を製造する工程と、

(b) この第 1 及び第 2 の溝に導電性ペーストを充填し、脱泡及び乾燥する工程と、

(c) 前記工程 (b) で乾燥された導電性ペーストを乾燥による体積減少分を補うために追加の導電性ペーストを再充填し、再脱泡及び再乾燥する工程とを所定の回数を繰り返す工程と、

(d) この凹版とセラミック基板とを所定の範囲の熱及び圧力を加えることによって貼り合わせる工程と、

(e) この凹版をセラミック基板から剥離して、導電性ペーストのパターンをセラミック基板上に転写し、焼成して第 1 導体パターンを形成する工程と、

(f) 第 1 導体パターンの上に第 1 絶縁層を印刷形成する工程と、

(g) 第 1 絶縁層の上に第 2 導体パターンを印刷形成する工程と、を包含するセラミック多層基板の製造方法。

【請求項 2】 セラミック基板が、セラミック基板と、セラミック基板の少なくとも一方の表面に形成された厚さ 20 μm 以下の樹脂層とを備え、この樹脂層は熱硬化性樹脂または熱可塑性樹脂である請求項 1 に記載のセラミック多層基板の製造方法。

【請求項 3】 第 1 導体パターンの上に第 1 絶縁層を全面に印刷形成し、第 1 絶縁層の乾燥皮膜を研磨あるいは研削することで第 1 導体パターンのピア部を露出させ、焼成した請求項 1 に記載のセラミック多層基板の製造方法。

【請求項 4】 第 1 導体パターンの上に第 1 絶縁層を全面に印刷形成し、焼成後に第 1 絶縁層を研磨あるいは研削することで、第 1 導体パターンのピア部を露出させた請求項 1 に記載のセラミック多層基板の製造方法。

【請求項 5】 第 1 導体パターンの上に第 1 絶縁層を全面に印刷形成し、第 1 絶縁層の乾燥皮膜を研磨あるいは研削することで第 1 導体パターンのピア部を露出させ、焼成した後で再び研磨あるいは研削した請求項 1 に記載のセラミック多層基板の製造方法。

【請求項 6】 第 2 導体パターンは第 1 導体パターンと同様の工程で形成した請求項 1 に記載のセラミック多層基板の製造方法。

【請求項 7】 セラミック基板の他方の面に第 1 導体パターン及び第 2 導体パターンと同様の方法で形成した第 3 導体パターン及び第 4 導体パターンを形成した請求項 1 または 6 に記載のセラミック多層基板の製造方法。

【請求項 8】 第 3 導体パターンは第 1 導体パターンと、又第 4 導体パターンは第 2 導体パターンと同時に貼り合わせ、転写形成した請求項 7 に記載のセラミック多層基板の製造方法。

【請求項 9】 セラミック基板の一部に誘電体層を形成した請求項 1 に記載のセラミック多層基板の製造方法。

【請求項 10】 セラミック基板のスルーホール部に導体材料をほぼ完全に充填・焼成された請求項 1 に記載のセラミック多層基板の製造方法。

【請求項 11】 第 1 導体あるいは第 2 導体パターンの一部に、LSI チップをフェースダウン実装して、電気的接続を行う工程を含む請求項 1 または 6 に記載のセラミック多層基板の製造方法。

【請求項 12】 第 2 の溝は LSI チップのパッド部に対応させて第 1 導体あるいは第 2 導体パターンを形成して微細なパンプと成し、このパンプの頂点部に導電性ペーストを付着させ、LSI チップをフェースダウン実装して電気的接続を行う工程を含む請求項 1 または 6 に記載のセラミック多層基板の製造方法。

【請求項 13】 セラミック基板と、可とう性樹脂基材を使用した凹版印刷によってセラミック基板上に転写形成された第 1 導体パターンと、この第 1 導体パターン上の絶縁層と、上記第 1 導体パターンと一体となった凸状の段差を有するピア部を介して電気的に接続された第 2 の導体パターンとを備えたセラミック多層基板。

【請求項 14】 セラミック基板と、可とう性樹脂基材を使用した凹版印刷によってセラミック基板上に転写形成された第 1 導体及び第 3 導体パターンと、この第 1 導体及び第 3 導体パターン上の絶縁層と、上記第 1 導体及び第 3 導体パターンと一体となった凸状の段差を有するピア部を介して電気的に接続された第 2 導体及び第 4 導体パターンとを備えたセラミック多層基板。

【請求項 15】 導体パターンの一部に網状パターンを備えた請求項 13 または 14 に記載のセラミック多層基板。

【請求項 16】 導体パターンの外周部にシールドパターンを備えた請求項 13 または 14 に記載のセラミック多層基板。

【請求項 17】 セラミック基板のスルーホール部に導体材料をほぼ完全に充填・焼成し、このスルーホール部の上に第 1 導体パターンあるいは第 3 導体パターンのピア部が配置される請求項 13 または 14 に記載のセラミック多層基板。

【請求項 18】 セラミック基板の一部に誘電体層を形成した請求項 13 または 14 に記載のセラミック多層基板。

【請求項 19】 第 1 導体あるいは第 2 導体パターンの一部に、LSI チップをフェースダウン実装して、電気的接続をした請求項 13 または 14 に記載のセラミック多層基板。

【請求項20】 第2の溝はLSIチップのパッド部に対応させて第1導体あるいは第2導体パターンを形成して微細なバンプと成し、このバンプの頂点部に導電性ペーストを付着させ、LSIチップをフェースダウン実装して電気的接続をした請求項13または14に記載のセラミック多層基板。

【請求項2.1】... 第1導体あるいは第2導体パターンの一部に0.18畳ピッチ以下格子状ランドを設け、この格子状ランドにLSIパッケージを実装して電気的接続をした請求項13または14に記載のセラミック多層基板。

【発明の詳細な説明】~~記載すべき事項を省略する~~

【0001】

【発明の属する技術分野】本発明はセラミック多層基板及びその製造方法に関する。

【0002】

【従来の技術】近年、電子機器の小型化が進んでおり、それに伴って電子機器内で使用される電子部品の小型化についてもとどまるところを知らない。電子回路を形成するプリント回路基板やセラミック多層基板についても同様であり、回路を形成する導体やビアホールの微細化技術あるいは、多層化技術により一層の高密度配線を実現する方向にある。

【0003】従来のセラミック多層基板の製造方法を図19によって説明する。まず、アルミナを主成分とする厚み約0.2mm程度のグリーンシート51を用意し、必要な箇所にビアホール52をパンチングあるいはCO₂レーザーによって穴明け加工を施す。次に、そのビアホール52に、導電性ペースト（例えばタンクスチレンペーストなど）をスクリーン印刷法などにより充填・乾燥してビア53を形成する。

【0004】続いてそのグリーンシート51に導電性ペーストによって導体パターン54をスクリーン印刷法によって所望の回路パターンを印刷形成すれば第1層の回路基板55が準備されることになる。同様に第2層の回路基板56あるいは第3層の回路基板57、更に必要があれば第4層の回路基板58を準備し、それぞれ位置合わせをして、プレスすることにより積層された回路基板59を得ることができる。次に、これを900～1600°Cの高温にて焼成すれば、セラミック多層基板60が得られる。

【0005】この方法によれば、積層数を増すことによって、高密度化を図ることができる。

【0006】

【発明が解決しようとする課題】しかしながら、前述の従来のセラミック多層基板の製造方法は以下のよう問題点を有していた。

【0007】①導体パターン54の形成がスクリーン印刷によるため、ライン幅(W) / ライン間隔(S) = 75μm / 75μm以下に微細にすることが非常に困難で

ある。

【0008】②スクリーン印刷による導体パターン54の形成の場合は、微細パターンにする程膜厚も薄くなり、例えばW=75μmの時にはその膜厚が約5μmしかとれないので、配線抵抗が高くなるという欠点を有する。

【0009】③配線材料が特にタンクスチレンの場合は、銀(Ag)や銅(Cu)による配線よりも配線抵抗が3～5倍ほど高く、微細パターンになる程この欠点が大きくなり、電気部品として使用できなくなる場合が多くなる。

【0010】④基板及び配線材料は、約900ないし1600°Cという高温で同時に焼成するために焼成後に約15～20%という材料収縮が発生し、このために基板の寸法ばらつきが大きく生じる。この収縮ばらつきのために配線部の寸法ばらつきも大きくなり、LSIの非常に微細なバンプとの接線が精度上から不正確となり、実装歩留りの低下の原因となっている。

【0011】⑤更に、スクリーン印刷による導体パターン54の形成の場合、ライン幅が75μm以上となり（印刷歩留り及び配線抵抗を配慮すれば一般に120μm以上必要）、狭い面積の中で多くのラインを形成するためには配線の多層化をせざるを得なくなり、多層化する程、又実装精度のために寸法精度を厳しくする程、基板コストは高くなる。

【0012】本発明は、このような従来の課題を解決するものであり、以下の長所を備えたセラミック多層基板及びその製造方法を提供することを目的とするものである。

【0013】①導体パターンのライン幅の微細化が10μmまで可能であり、セラミック多層基板として例えばライン幅が30μmであれば導体膜厚が30μmの高膜厚が可能となり、配線抵抗が低く、配線密度も非常に高いものにすることができる。

【0014】②導体パターンの形成と同時に、微細なビアパターンを形成できるので、非常に寸法精度が高く緻密な配線パターンが形成できる。

【0015】③絶縁層が研磨あるいは研削されているので、平坦化され層数を増やしても、層間の接続が悪くなることはなく、更に、表層部にLSIチップをフェースダウン実装する場合においても平坦化されているので、接続の良いセラミック多層基板となる。

【0016】④導体パターンは、すでに焼成済みのセラミック基板上に形成するため、LSIとの接続用ランドパターンの精度は数μm程度のばらつきで制御が可能であり、LSIのパッド間ピッチが100μm以下のものに対しても微細で高精度な寸法の配線パターン上へのフェースダウン実装の歩留りはほぼ100%を実現できる。

【0017】

【課題を解決するための手段】上記目的を達成するためには本発明のセラミック多層基板の製造法は、可とう性樹脂基材の表面に第1導体パターンに対応するパターンで第1の溝を形成し、又第1導体パターンのビア部に対応するパターンで第2の溝を第1の溝よりも深く形成した凹版を製造する工程と、第1及び第2の溝に導電性ペーストを充填し、脱泡及び乾燥する工程と、前記工程で乾燥された導電性ペーストを乾燥による体積減少分を補うために追加の導電性ペーストを再充填し、再脱泡及び再乾燥する工程とを所定の回数を繰り返す工程と、凹版とセラミック基板とを所定の範囲の熱及び圧力を加えることによって貼り合わせる工程と、凹版をセラミック基板から剥離して導電性ペーストのパターンをセラミック基板上に転写し焼成して第1導体パターンを形成する工程と、第1導体パターンの上に第1絶縁層を印刷形成する工程と、第1絶縁層の上に第2導体パターンを印刷形成する工程とを包含するものである。

【0018】この構成によれば、可とう性樹脂基材の表面に微細な第1の溝と第2の溝を第1導体パターンに対応したパターンで形成して凹版を製造し、溝部に導電性ペーストを充填・脱泡・乾燥し、乾燥による体積減少分を補うために追加の導電性ペーストを再充填し、再乾燥する工程を所定の回数繰り返すことによって溝部に濃縮された導体材料が充填されることになり、凹版とセラミック基板とを所定の範囲の熱及び圧力を加えることによって貼り合わせ、凹版をセラミック基板から剥離して、乾燥された導電性ペーストのパターンをセラミック基板上に転写し、焼成して第1導体パターンを形成し、第1導体パターンの上に第1絶縁層を印刷形成し、更に第1絶縁層の上に第2導体パターンを印刷形成することによって、高膜厚で微細な配線パターンを簡単に形成することが可能となり、配線抵抗が低く、配線密度の高い、しかも配線パターンの寸法精度の高いものができるという効果を有する。

【0019】

【発明の実施の形態】請求項1に記載の発明は、セラミック基板上に第1導体パターンを凹版印刷によって形成し、第1導体パターンの上に絶縁体を形成しているセラミック多層基板の製造方法であって、(a) 可とう性樹脂基材の表面に第1導体パターンに対応するパターンで第1の溝を形成し、又第1導体パターンのビア部に対応するパターンで第2の溝を第1の溝よりも深く形成した凹版を製造する工程と、(b) この第1及び第2の溝に導電性ペーストを充填し、脱泡及び乾燥する工程と、

(c) 前記工程(b)で乾燥された導電性ペーストを乾燥による体積減少分を補うために追加の導電性ペーストを再充填し、再脱泡及び再乾燥する工程とを所定の回数を繰り返す工程と、(d) この凹版とセラミック基板とを所定の範囲の熱及び圧力を加えることによって貼り合わせる工程と、(e) この凹版をセラミック基板から剥

離して、導電性ペーストのパターンをセラミック基板上に転写し、焼成して第1導体パターンを形成する工程と、(f) 第1導体パターンの上に第1絶縁層を印刷形成する工程と、(g) 第1絶縁層の上に第2導体パターンを印刷形成する工程と、を包含するセラミック多層基板の製造方法であり、配線密度が高く、導体パターンのライン幅の微細化が可能となる。

【0020】請求項2に記載の発明は、セラミック基板が、セラミック基板と、セラミック基板の少なくとも一方の表面に形成された厚さ20μm以下の樹脂層とを備え、この樹脂層は熱硬化性樹脂または熱可塑性樹脂である請求項1に記載のセラミック多層基板の製造方法であり、厚さ20μm以下にすることにより、導体パターンの変形が非常に小さくなるという作用を有する。

【0021】請求項3に記載の発明は、第1導体パターンの上に第1絶縁層を全面に印刷形成し、第1絶縁層の乾燥皮膜を研磨あるいは研削することで第1導体パターンのビア部を露出させ、焼成した請求項1に記載のセラミック多層基板の製造方法であり、ビアサイズ、ビアピッチが小さくなても高精度にビア露出が可能となり、高密度な多層化が可能であるという作用を有する。

【0022】請求項4に記載の発明は、第1導体パターンの上に第1絶縁層を全面に印刷形成し、焼成後に第1絶縁層を研磨あるいは研削することで、第1導体パターンのビア部を露出させた請求項1に記載のセラミック多層基板の製造方法であり、ビアサイズ、ビアピッチが小さくなても高精度にビア露出が可能であり、ビアと絶縁層の高さが同一面で平坦化ができ、2層目以降の凹版転写が高歩留りで可能であるという作用を有する。

【0023】請求項5に記載の発明は、第1導体パターンの上に第1絶縁層を全面に印刷形成し、第1絶縁層の乾燥皮膜を研磨あるいは研削することで第1導体パターンのビア部を露出させ、焼成した後で再び研磨あるいは研削した請求項1に記載のセラミック多層基板の製造方法であり、高精度にビア露出が可能で、ビアと絶縁層が同一面に平坦化加工が容易で低コストになるという作用を有する。

【0024】請求項6に記載の発明は、第2導体パターンは第1導体パターンと同様の工程で形成した請求項1に記載のセラミック多層基板の製造方法であり、2層目にも凹版のファイン形成が可能なので高密度な多層化が実現できることになる。

【0025】請求項7に記載の発明は、セラミック基板の他方の面に第1導体パターン及び第2導体パターンと同様の方法で形成した第3導体パターン及び第4導体パターンを形成した請求項1または6に記載のセラミック多層基板の製造方法であり、セラミック基板の両面に凹版のファイン形成が可能なので更に高密度な多層化が実現できることになる。

【0026】請求項8に記載の発明は、第3導体パター

ンは第1導体パターンと、又第4導体パターンは第2導体パターンと同時に貼り合わせ、転写形成した請求項7に記載のセラミック多層基板の製造方法であり、セラミック基板の両面に同時にパターン形成するので製造コストが低減可能となる。

【0027】請求項9に記載の発明は、セラミック基板の一部に誘電体層を形成した請求項1に記載のセラミック多層基板の製造方法であり、誘電体層を加えることにより電源ノイズの低減に効果がある。

【0028】請求項10に記載の発明は、セラミック基板のスルーホール部に導体材料をほぼ完全に充填・焼成された請求項1に記載のセラミック多層基板の製造方法であり、スルーホールを完全に充填することにより、スルーホール上へのピア形成が可能となり、高密度配線が可能となる。

【0029】請求項11に記載の発明は、第1導体あるいは第2導体パターンの一部に、LSIチップをフェースダウン実装して、電気的接続を行う工程を含む請求項1または6に記載のセラミック多層基板の製造方法であり、高密度配線の基板なので、LSIチップをフェースダウン実装が可能となっており、更にフェースダウン実装が可能なので、製品の小型化につながる。

【0030】請求項12に記載の発明は、第2の溝はLSIチップのパッド部に対応させて第1導体あるいは第2導体パターンを形成して微細なパンプと成し、このパンプの頂点部に導電性ペーストを付着させ、LSIチップをフェースダウン実装して電気的接続を行う工程を含む請求項1または6に記載のセラミック多層基板の製造方法であり、導体パターンに凹版でパンプを同時に形成できるので、LSIチップに予めパンプを形成する必要がなく低コスト化更に、リペアが可能となる。

【0031】請求項13に記載の発明は、セラミック基板と、可とう性樹脂基材を使用した凹版印刷によってセラミック基板上に転写形成された第1導体パターンと、この第1導体パターン上の絶縁層と、上記第1導体パターンと一体となった凸状の段差を有するピア部を介して電気的に接続された第2の導体パターンとを備えたセラミック多層基板であり、凸状の段差のピアのためにピアの転写性が良く高歩留りとなる。

【0032】請求項14に記載の発明は、セラミック基板と、可とう性樹脂基材を使用した凹版印刷によってセラミック基板上に転写形成された第1導体及び第3導体パターンと、この第1導体及び第3導体パターン上の絶縁層と、上記第1導体及び第3導体パターンと一体となった凸状の段差を有するピア部を介して電気的に接続された第2導体及び第4導体パターンとを備えたセラミック多層基板であり、両面に凸状の段差のピアを設けることによりピアの転写性が良く、更に両面多層基板として高密度なセラミック多層基板となる。

【0033】請求項15に記載の発明は、導体パターン

の一部に網状パターンを備えた請求項13または14に記載のセラミック多層基板であり、電源やGND電極の低インピーダンス化に効果がある。

【0034】請求項16に記載の発明は、導体パターンの外周部にシールドパターンを備えた請求項13または14に記載のセラミック多層基板であり、外周部のシールドにより耐ノイズ性が向上することになる。

【0035】請求項17に記載の発明は、セラミック基板のスルーホール部に導体材料をほぼ完全に充填・焼成し、このスルーホール部の上に第1導体パターンあるいは第3導体パターンのピア部が配置される請求項13または14に記載のセラミック多層基板であり、スルーホールを完全に充填することによりスルーホール上へのピア形成が可能となり、高密度配線が可能となる。

【0036】請求項18に記載の発明は、セラミック基板の一部に誘電体層を形成した請求項13または14に記載のセラミック多層基板であり、誘電体層を加えることにより、電源ノイズの低減に効果がある。

【0037】請求項19に記載の発明は、第1導体あるいは第2導体パターンの一部に、LSIチップをフェースダウン実装して、電気的接続をした請求項13または14に記載のセラミック多層基板であり、高密度配線の基板なので、LSIチップをフェースダウン実装が可能となっており更にフェースダウン実装が可能なので、製品の小型化につながる。

【0038】請求項20に記載の発明は、第2の溝はLSIチップのパッド部に対応させて第1導体あるいは第2導体パターンを形成して微細なパンプと成し、このパンプの頂点部に導電性ペーストを付着させ、LSIチップをフェースダウン実装して電気的接続をした請求項13または14に記載のセラミック多層基板であり、導体パターンに凹版でパンプを同時に形成した構成なのでLSIチップに予めパンプを形成する必要がなく、低コスト化が図れる。

【0039】請求項21に記載の発明は、第1導体あるいは第2導体パターンの一部に0.8μmピッチ以下の格子状ランドを設け、この格子状ランドにLSIパッケージを実装して電気的接続をした請求項13または14に記載のセラミック多層基板であり、高密度配線の基板なので、0.8μmピッチ以下の格子状ランドのパッケージで実装可能となる。

【0040】(実施の形態1) 本発明のセラミック基板の製造方法の第1の実施の形態を図1～図9を参照して以下に説明する。

【0041】本実施の形態のセラミック多層基板1は、図1に示す通り、セラミック基板2の上に導体ライン幅を20μm、ライン間隔を40μm、導体膜厚は焼成後で20μmにした第1導体パターン3を形成し、又同時に第1導体パターン3に径100μmのピア11を形成した。第1導体パターン3の上には第1絶縁層21を形

成し、更にその上には第2導体パターン4を形成し、この第2導体パターン4はビア11と電気的に接続されている。

【0042】統いて、本実施の形態の製造方法を工程順に説明する。まず、第1導体パターン3は凹版印刷によって製造される。図2において、使用される凹版40は、厚さ12.5μmの可とう性樹脂基材であるポリイミドフィルムに対し予め所望の配線パターンに対応した形状となるようエキシマレーザ装置を用いて紫外線領域の波長248nmのレーザビームにて照射されて作成される。レーザビームで照射された部分は光化学反応で分解されて第1導体パターン3のラインに相当する第1の溝12が加工される。本実施の形態では溝の幅を2.5μm、溝の深さを30μmとした。

【0043】次に、第1導体パターン3のビア11に対応するパターンで第2の溝13を前記同様にエキシマレーザ装置を用いて更に加工を加えて深い溝とした。本実施の形態では第2の溝13の最深部の径は12.0μm、溝深さは9.0μmとした。

【0044】このようにエキシマレーザを用いるために第1の溝12の幅が1.0μm以下でも可能となり、更に第1及び第2の溝12、13の深さも任意に調整でき、しかも溝部の幅の寸法よりも深さ寸法の方を大きくとれるというアスペクト比の大きなことがこの凹版40の特徴の一つである。

【0045】可とう性樹脂基材としては、エキシマレーザによる加工の場合は、光化学反応で分解される材料であれば何でも可能であるが、他にポリエチレンテレフタレート(PET)やポリエーテルイミド(PEI)なども使用できる。凹版40の材料として使用しているポリイミドフィルムでは溝部12、13の中に充填されて転写される導体ペースト42とフィルムとの剥離性が充分でない。そのため、転写工程において溝部12、13の内部に導体ペースト42が残存しやすい。そこで、凹版40の表面、特に溝部12、13の表面に剥離層(図示せず)を形成する。剥離層はフッ化炭素系单分子膜を使用した。

【0046】次に、剥離層が形成された凹版40の表面に導体ペースト42としてAg-Pdペーストを塗布する。そして、塗布後の凹版40の表面をスキージ41で搔くことによって凹版表面の余分なAg-Pdペーストを除去するとともに、溝部12、13の中にAg-Pdペーストを充分に充填する。

【0047】凹版に導体ペースト42を充填する時に、特に溝12、13の幅が狭くなったり、第2の溝13のように深くなってくると図3(a)に示すように気泡8が残存しやすくなる。そこで本実施の形態では真空装置に導体ペースト42の充填された凹版40を入れて脱泡し、気泡を除去し、再度スキージ41で凹版40の表面を搔くことによって凹版40の表面の余分な導体ペース

ト42を除去し、図3(b)のように気泡8のない導体ペースト42の充填とした。

【0048】脱泡方法は、導体ペースト42の充填された凹版40を回転装置に入れて、遠心力によって気泡8を除去することによって可能であった。又、回転装置を真空中にすることにより更に気泡8の除去は容易となり、凹版40の溝12、13の形態によってその脱泡方法は自由に選択することができる。充填されたAg-Pdペーストは凹版40とともに乾燥機を用いて乾燥させてAg-Pdペースト中の有機溶剤を蒸発させる。そのため、有機溶剤の蒸発分に相当するだけ、溝部12、13の内部に充填されているAg-Pdペーストの体積が減少する。そこで、この体積減少分を補うためにAg-Pdペーストの充填脱泡工程及び乾燥工程を再度繰り返す。この繰り返しによって充填されているAg-Pdペーストの乾燥後の厚さを溝部12、13の深さとほぼ同等にすることができる。本例では3回の充填・脱泡・乾燥を繰り返した。

【0049】一方、セラミック基板2は、図4に示すようにスルーホール7にスクリーン印刷により導体ペーストを充填・乾燥を繰り返し焼成することによって、完全に導体材料、ここではAg-Pdで埋めた。

【0050】統いて、セラミック基板2上に導体パターンが転写されるように、熱可塑性樹脂による接着層44によってセラミック基板2に形成した。図5に模式的に示されているように、乾燥済み導体ペースト43が充填された溝部12、13を有する側の凹版40の表面と接着層44とを対向させ、凹版40とセラミック基板2とを加熱・加圧して貼り合わせる。ここで、セラミック基板2として焼成済みのセラミック基板2を使用した。後述するように、接着層44の厚さが厚くなると、焼成時に接着層44自身の燃焼と収縮力によって導体パターンがうまく形成されないという問題点が発生する。発明者らによる検討の結果、接着層44の厚さは2.0μm以下が適当であることが確認されている。貼り合わせ工程の温度は130°Cとした。これは使用する熱可塑性樹脂のガラス転移点よりも約30°C程高い温度を選び、転写性の良いことを確認した。熱可塑性樹脂は、ポリビニールブチラール樹脂(以下、PVBと略記)を溶解したブチルカルビトールアセテート(以下、BCAと略記)の溶液をセラミック基板2の表面にディップ法によって塗布して乾燥する。これによって、セラミック基板2の表面全体に厚さ5μmのPVB層を接着層44として形成する。なお、PVB層はディップ法の他にスピナーフィニッシュ法あるいはロールコータ法、スクリーン印刷法を用いて塗布することもできる。

【0051】ところで、通常、セラミック基板2の表面には少なくとも約3.0μm程度のうねりが存在する。ここで凹版として柔軟性をもっていないような例えばガラス製凹版等の場合には硬く剛性が大きすぎるために、貼

り合わせ時に凹版が基板のうねり形状に充分に追従できないが、本発明のようにフレキシブル性に富んだ樹脂製の凹版40を使用する構成によれば、基板のうねり形状に充分に追従でき、転写性の優れた製造方法となる。

【0052】次に、転写工程として、貼り合わせられた凹版40とセラミック基板2との温度を室温まで下げてから凹版40をセラミック基板2から剥離させ、配線パターンに応じてパターン化させた第1導体パターンである乾燥済み導体ペースト43の転写を行う。この時、図6に示すように、凹版40がフレキシブル性に富んでいるため、凹版40を90°以上の角度に曲げることが可能である。この結果、セラミック基板2からの凹版40の剥離は線状の剥離になるため、必要な剥離力が低減されて凹版40を容易に剥離することができる。

【0053】次に、上記のように乾燥済み導体ペースト43が転写されたセラミック基板2をピーク温度850°Cの温度プロフィールの下で焼成する。焼成の対象になるセラミック基板2は接着層44を介して導体パターンが形成されている構造になるので、焼成条件の設定によっては接着層44から燃焼ガスが勢い良く発生して導体パターンの不良の原因になる剥離や変形が生じことがある。そのような不具合の発生を防ぐためには、接着層44の燃焼が開始されてから終了するまでの温度に相当する200~500°Cの間の昇温時の温度勾配を200°C/Hr以下にすることが望ましい。

【0054】これらの温度条件と接着層の膜厚の関係に検討を加えた結果、上記温度条件の下では接着層44が20μm以下であれば、導体パターンの変形もなく、焼成時の導体パターン剥がれも無いたことが確認できた。以上の工程により、第1導体パターン3が形成され、最小ライン幅20μm、最小ライン間隔40μm、焼成後の導体膜厚20μm、ピア径100μm、ピア高さ60μmの図7に示すものが得られた。溝部の寸法よりも小さくなつたのは、導体材料が焼成によって収縮したからである。

【0055】又、第1導体パターン3の電気抵抗は、最大線長部分で0.4Ω、導体の面積抵抗値は2.1mΩと非常に小さい配線抵抗にすることができた。

【0056】次に、図8に示すように、第1導体パターン3の形成されたセラミック基板2に第1絶縁層21をスクリーン印刷法により印刷・焼成した。第1絶縁層21の材料は、セラミック基板2とほぼ同じ熱膨張係数をもつた結晶化ガラスをペースト化して、印刷したものである。ピア部の上部は、スクリーン版の乳剤にて印刷されないようにパターン形成したものである。

【0057】次に、第2導体パターン4の形成は、図9に示すように、第1絶縁層21の上にスクリーン印刷法によってW/S=100μm/100μmのルールにて印刷し焼成することによって焼成した。第2導体パターン4と第1導体パターン3はピア11を介して電気的に接続したものである。

接続したものである。

【0058】本実施の形態においては、以下に示す効果を有する。可とう性樹脂基材の表面に微細な第1の溝12と第2の溝13を形成して凹版40とし、溝部12、13に導体ペースト42を充填・脱泡・乾燥し、乾燥による体積減少を補うために追加の導体ペーストを再充填・再脱泡し、再乾燥する工程を所定の回数繰り返することで溝部12、13に濃縮された導体材料を充填し、その凹版40とセラミック基板2とを貼り合わせ、溝部12、13に充填された導体材料をセラミック基板2上に転写し、焼成して微細な導体パターンを形成して第1導体パターン3とし、第1導体パターン3の上に第1絶縁層21を印刷形成し、更に第1絶縁層21の上に第2導体パターン4を印刷形成することによって、セラミック多層基板としたので、例えば、ライン幅が20μmで配線膜厚が20μm、ピア径100μm、ピア高さ60μmの微細で高密度配線ができ、配線抵抗も非常に低いセラミック多層基板1が得られる。

【0059】(実施の形態2) 本発明のセラミック多層基板の製造方法の第2の実施の形態を図10(a)~(e)を参照して以下に説明する。図10(a)~(e)は本実施の形態の部分断面図である。

【0060】まず、図10(a)に示すように、第1導体パターン3を形成する工程までは、第1の実施の形態と全く同じ工程とした。

【0061】次に、第1導体パターン3上に形成する第1絶縁層21の形成は図10(b)に示すようにピア11の上も全て印刷するようにスクリーン印刷によって形成した。第1絶縁層21は、乾燥された後に図10(c)に示すようにピア11が数μm削られる程度まで、研削機にて研削し平坦化した。この工程において、必要なピア部は全て第1絶縁層21の中から露出している。

【0062】次に、この状態でピーク温度850°Cの温度プロフィールの下で焼成した。焼成すると、図10(d)に示すように、第1絶縁層21は焼成による体積収縮により膜厚が薄くなり、相対的にピア11が10μm程度突き出た形となる。

【0063】次に第2導体パターン4の形成については、図10(e)に示すようにスクリーン印刷によってW/S=100μm/100μmのルールにて印刷し焼成することによってセラミック多層基板1を形成した。第2導体パターン4と第1導体パターン3はピア11を介して電気的に接続したものである。

【0064】本実施の形態においては、以下に示す効果を有する。第1導体パターン3のピアサイズ及びピアピッチが小さくなるに従って、第1絶縁層21はスクリーン印刷によってピア部の上ののみを印刷しないパターンで形成することは精度上非常に困難になってくる。この実施の形態の手段によれば、第1導体パターン3で形成可

能なピア11であれば、正確にピア11の露出が可能となるので、第1の実施の形態よりも一層高密度の配線パターン及びセラミック多層基板1が得られることになる。

【0065】(実施の形態3)本発明のセラミック多層基板の製造方法の第3の実施の形態を図11(a)～(d)を参照して以下に説明する。図11(a)～(d)は本実施の形態の部分断面図である。

【0066】まず、図11(a)に示すように、第1導体パターン3を形成する工程までは、第1の実施の形態と全く同じ工程とした。

【0067】次に第1導体パターン3上に形成する第1絶縁層21の形成は図11(b)に示すように、ピア11の最も全て印刷するようにスクリーン印刷によって形成し、ピーク温度850°Cの温度プロフィールの下で焼成した。焼成後に、図11(c)に示すように研磨機にて第1絶縁層21を研磨し、第1絶縁層21から全てのピア11が完全に露出するまで研磨することによって、第1絶縁層21の表面を平坦化した。

【0068】次に第2導体パターン4の形成は、まず図11(c)の工程で得られた基板の表面に接着層を塗布し、続いて第1導体パターン3の形成工程と全く同様の工程で第2導体パターン4を形成した凹版により、転写形成して、図11(d)に示すような第2導体パターン4が形成された。この第2導体パターン4の配線ルールも第1導体パターン3の配線ルールと全く同じものとした。

【0069】本実施の形態においては、以下に示す効果を有する。この実施の形態の手段によれば、第1導体パターン3で形成可能なピア11であれば、正確にピア11の露出が可能となり、更にピア11の高さと絶縁層21の高さが同一面となり、平坦化についても第2の実施の形態よりも優れたものになっているので、第2導体パターン4を高密度配線にするために凹版による転写工程が必要な場合には、非常に有効となり、第1及び第2の実施の形態よりも一層高密度の配線パターン及びセラミック多層基板1が得られることになる。

【0070】(実施の形態4)本発明のセラミック多層基板の製造方法の第4の実施の形態を図12(a)～(f)を参照して以下に説明する。図12(a)～(f)は本実施の形態の部分断面図である。

【0071】図12(a)～(d)は図10(a)～(d)に対応しているように、第1の絶縁層21の形成・焼成までは全く同じ工程とした。従って、図12(d)に示すように、ピア11は第1の絶縁層21から相対的に10μm程度突き出ている状態になっている。

【0072】次に、図12(e)に示すように、ピア11のみを削るために研磨機によって研磨し、ピア11を第1の絶縁層21と同じ高さとした。第2導体パターン4の形成は第3の実施の形態と全く同じ方法で形成し

た。

【0073】本実施の形態においては、以下に示す効果を有する。この実施の形態の手段によれば、研磨あるいは研削工程が2回となるが、1回目の研削工程は絶縁層21の乾燥皮膜の研削のため、非常に容易に短時間で研削が可能である。又、2回目の研磨工程は、ピア11の露出部分のみの研磨でありこれも非常に容易に短時間で研磨が可能であるという利点を有する。又、高密度な配線パターンを実現できるという利点については、第3の実施の形態と全く同じ効果を有する。

【0074】(実施の形態5)本発明のセラミック多層基板の製造方法の第5の実施の形態を図13、図14(a)～(c)を参照して以下に説明する。

【0075】まず、セラミック基板2のスルーホール部に導体ペーストを充填・焼成し、基板の両面に接着層44を形成した。

【0076】第1導体パターン3及び第3導体パターン5は、それぞれの所望のパターンに加工された凹版40の溝部へ導体ペーストを第1の実施の形態と同様に充填し準備した。

【0077】次に、図13に示すように、前記充填された凹版40をセラミック基板2の両面に同時に位置合わせし、プレス治具45にて貼り合わせ第1の実施の形態と同様に凹版40の剥離、導体パターンの焼成を行った。図14(a)は第1及び第3導体パターン3、5の焼成後の部分断面図である。

【0078】続いて、図14(b)に示すように、両面に第1、第2の絶縁層21、22を形成し、第4の実施の形態と同様の方法で研磨することにより第1及び第3導体パターン3、5のピア11部を露出させた。

【0079】次に、第2及び第4導体パターン4、6についても、それぞれ所望のパターンに加工された凹版40の溝部へ導体ペーストを充填し、第1及び第3導体パターン3、5と同様の方法で、それぞれ図14(c)に示すように、導体パターンの転写・焼成を行った。

【0080】本実施の形態においては、以下に示す効果を有する。この実施の形態によれば、導体パターンの形成がセラミック基板2の両面で同時に形成でき、焼成や絶縁層21、22の研磨においても両面同時形成ができるので、多層にすることによっても製造工程が短縮化でき、製造コストの低減に大きな効果を得ることができる。又、両面同時形成することによって、絶縁層21、22とセラミック基板2間の若干の熱膨張係数差によるセラミック多層基板の反りも低減することができ、反りの小さなセラミック多層基板1を得ることができる。

【0081】(実施の形態6)本発明のセラミック多層基板の製造方法の第6の実施の形態を図15(a)～(d)を参照して以下に説明する。図15(a)～(d)は本実施の形態の部分断面図である。

【0082】図15(a)において、第1絶縁層21の

研磨工程までは第4の実施の形態と同様である。本実施の形態においては、第2導体パターン4の形成で、対応する凹版パターンの第2の溝にLSIチップのパッド部に配置上対応させて設け、第1導体パターン3の形成と同様の工程で第2の溝に充填された導体材料をバンプ状15にしたものである。

【0083】本実施の形態でのバンプ15のサイズはバンプ径が $50\mu\text{m}$ 、バンプ高さが $50\mu\text{m}$ 、バンプ最小ピッチが $100\mu\text{m}$ とした。次にバンプ先端部に導電性接着剤47を均一に塗布するために、図15(b)に示すように、導電性接着剤転写治具49に予め導電性接着剤47を均一の膜厚でコーティングしておき、その導電性接着剤転写治具49をバンプ15上にセラミック基板2と平行に下方へ下げる転写する。

【0084】次に、図15(c)に示すように、LSIチップ46のパッド部とバンプ15の正確な位置合わせを行い、LSIチップ46をバンプ15の上に搭載する。搭載後はすみやかに導電性接着剤47を加熱硬化させて、LSIチップ46とバンプ15を接合させる。次に図15(d)に示すように、LSIチップとバンプ間に封止樹脂48を封入し、加熱硬化させた。

【0085】本実施の形態においては、以下に示す効果を有する。この実施の形態によれば、第2導体パターン4にバンプ15を同時に形成できるので、LSIチップ46側に予めバンプを形成するような手段は不要で、LSIチップ46の製造コストの低減に有効である。又、セラミック多層基板上に多数のLSIチップ46を搭載する場合においても、第2導体パターン4に必要なバンプ15を形成することによって、工程を増やすことなく、同時に多数のLSIチップ46に対応するバンプ15を形成することができる。

【0086】更に、LSIチップ46の実装後の検査においては、導電性接着剤47の硬化前に電気検査することによって、LSIチップ46の実装の良否を判定し、仮に実装不良であれば、該当LSIチップ46を取りはずし、再搭載あるいは別のLSIチップ46を搭載し、再検査後に良品と判定されてから導電性接着剤47を硬化でき、セラミック多層基板の歩留り向上に有効となる。

【0087】ただ、LSIチップ46によっては、すでにバンプを形成されたLSIチップを使用せざるを得ない場合もあるが、この場合においても例えば第5の実施の形態のセラミック多層基板に直接そのLSIチップ46に適した実施の形態で実装することにより、高密度なセラミック多層基板として有効となる。

【0088】このように、本実施の形態の高密度なセラミック多層基板を用いれば、更に様々な実施の形態が可能となる。

【0089】図16に示すものは、第1～第4導体パターン3, 4, 5, 6の形成は凹版による転写パターンの

形成で配線の高密度化を図り、表層部にLSIチップ46をフェースダウンにて直接実装したものである。

【0090】又、図17に示すものは、第1～第4導体パターン3, 4, 5, 6の形成はセラミック基板2の片面に集中形成し、一方の面には誘電体層23をスクリーン印刷により形成して、誘電体層23を挟む電極は電源電極24とグランド電極25とした。この誘電体層23は誘電率 $\epsilon = 10000$ の高誘電率材料としたので電源ノイズの低減に大きな効果が得られた。

【0091】なお、図17に示す実施の形態では、第1～第3導体パターン3, 4, 5の最外周部にシールド電極18を設け、更に第1～第3導体パターン3, 4, 5の一部に含まれる電源電極24及びグランド電極25はメッシュ状パターンとした。これにより信号ラインの耐ノイズ性の向上と、電源電極24及びグランド電極25の低インピーダンス化を図ることができた。

【0092】図18(a), (b)に示すものは、別の実施の形態の例である。図18(a)は本実施の形態の方法により作成されたチップサイズパッケージ(CSP)であり、バンプ15は第5導体パターン16と同時に形成したものである。図18(b)は誘電体層23を設けたセラミック多層基板の表層部に前記CSPを直接実装して得られたものである。前記CSPは、ランド部17が 0.8mm ピッチのフルグリッドで形成しており又、総ランド数も400ランドとなっているためセラミック多層基板の配線も高密度なものが必要となり、従来例のセラミック多層基板では実現が困難となっていた。

【0093】ここにおいても、本実施の形態の設計ルールである $W/S = 20\mu\text{m}/40\mu\text{m}$ が非常に有効であることが判明した。

【0094】

【発明の効果】以上のように本発明は、導体パターンのライン幅の微細化が $10\mu\text{m}$ まで可能となり、導体膜厚も $30\mu\text{m}$ が可能で配線抵抗が低く、配線密度の高いものとすることができ、微細なビアパターンも形成でき、絶縁層が研磨あるいは研削で平坦化され、層数を増やしても接続性が良く、表層部にLSIチップをフェースダウン実装する場合も接続性に優れたものとなる。

【図面の簡単な説明】

【図1】本発明の実施の形態1によるセラミック多層基板の部分断面図

【図2】同セラミック多層基板における凹版への導体ペーストの充填工程を模式的に示す概略図

【図3】(a) 同セラミック多層基板における凹版への導体ペーストの脱泡前の状態を模式的に示す概略図

(b) 同脱泡後の状態を模式的に示す概略図

【図4】同セラミック多層基板における接着層形成工程後の部分断面図

【図5】同セラミック多層基板の凹版とセラミック基板の積層工程を模式的に示す概略図

【図6】同セラミック多層基板の転写工程を模式的に示す概略図

【図7】同セラミック多層基板の導体パターンの焼成工程後の部分断面図

【図8】同セラミック多層基板の絶縁層形成後の部分断面図

【図9】同セラミック多層基板の第2導体パターンの形成後の部分断面図

【図10】(a)～(e)本発明の実施の形態2によるセラミック多層基板の製造工程を説明する部分断面図

【図11】(a)～(d)本発明の実施の形態3によるセラミック多層基板の製造工程を説明する部分断面図

【図12】(a)～(f)本発明の実施の形態4によるセラミック多層基板の製造工程を説明する部分断面図

【図13】本発明の実施の形態5によるセラミック多層基板の凹版とセラミック基板の積層工程を模式的に示す概略図

【図14】(a)～(c)同セラミック多層基板の製造工程を説明する部分断面図

【図15】(a)～(d)本発明の実施の形態6によるセラミック多層基板の製造工程を説明する部分断面図

【図16】同セラミック多層基板の別の実施の形態を示す部分断面図

【図17】同セラミック多層基板の別の実施の形態を示す部分断面図

【図18】(a)同セラミック多層基板と同方法にて作成したチップサイズパッケージの部分断面図

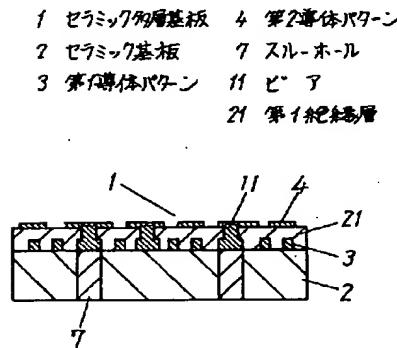
(b)同セラミック多層基板へチップサイズパッケージを実装した部分断面図

【図19】(a)～(g)従来のセラミック多層基板の製造工程を説明する部分断面図

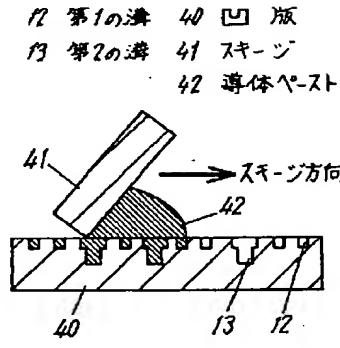
【符号の説明】

- 1 セラミック多層基板
- 2 セラミック基板
- 3 第1導体パターン
- 4 第2導体パターン
- 5 第3導体パターン
- 6 第4導体パターン
- 7 スルーホール
- 8 気泡
- 11 ピア
- 12 第1の溝
- 13 第2の溝
- 15 パンプ
- 16 第5導体パターン
- 17 ランド部
- 18 シールド電極
- 21 第1絶縁層
- 22 第2絶縁層
- 23 誘電体層
- 24 電源電極
- 25 グランド電極
- 40 凹版
- 41 スキー
- 42 導体ペースト
- 43 乾燥済み導体ペースト
- 44 接着層
- 45 プレス治具
- 46 L S I チップ
- 47 導電性接着剤
- 48 封止樹脂
- 49 導電性接着剤転写治具

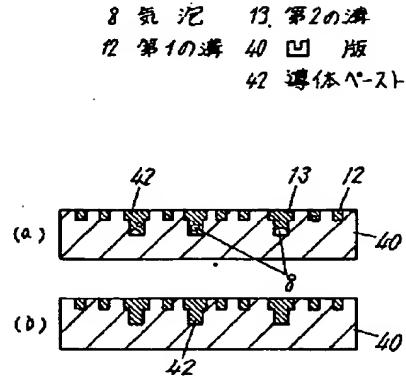
【図1】



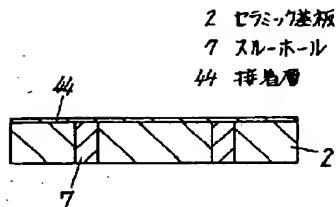
【図2】



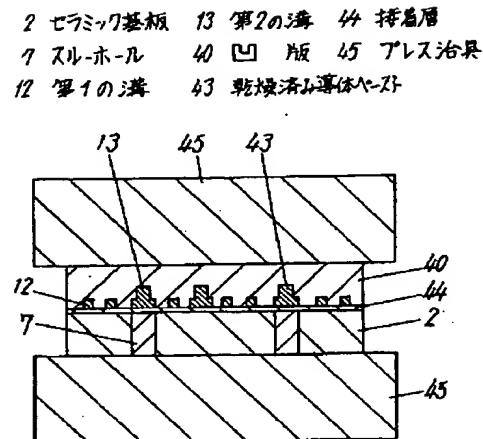
【図3】



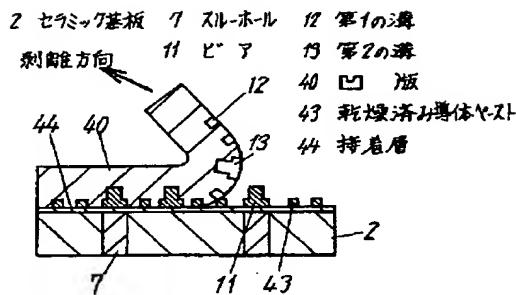
【図4】



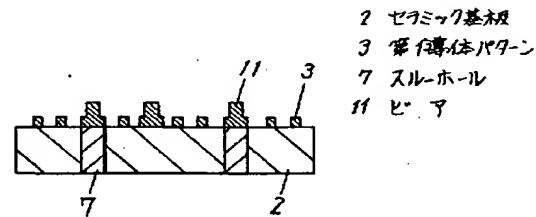
【図5】



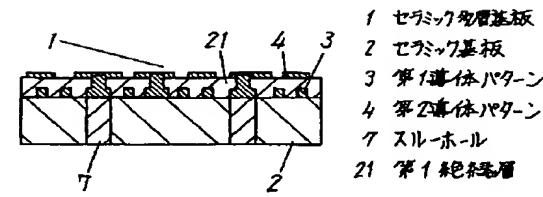
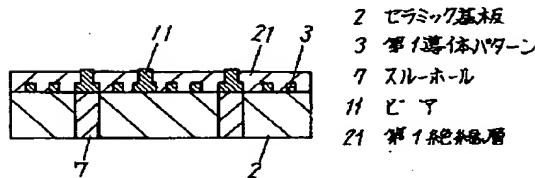
【図6】



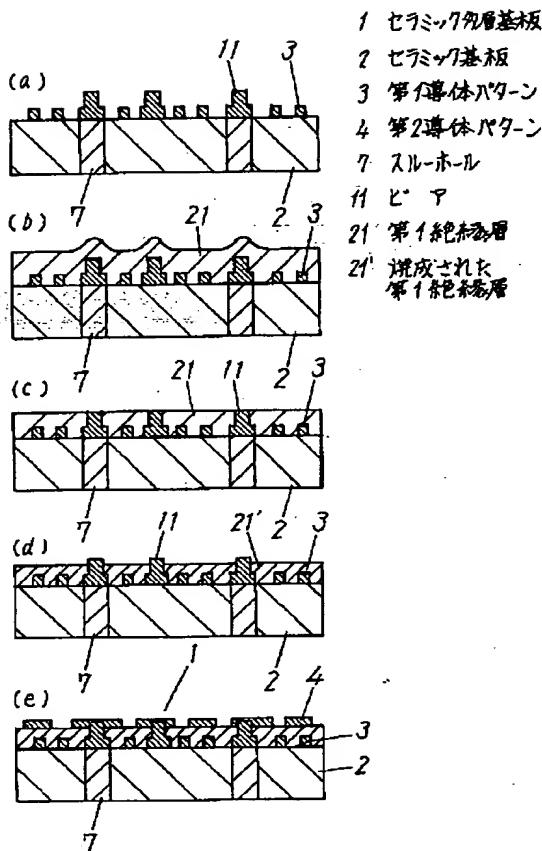
【図7】



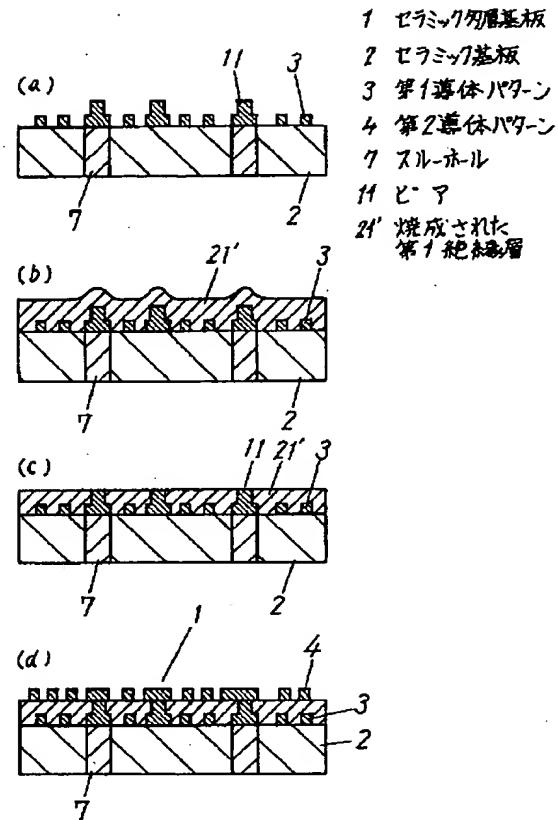
【図8】



【図10】

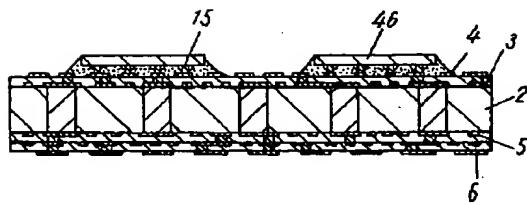


【図11】



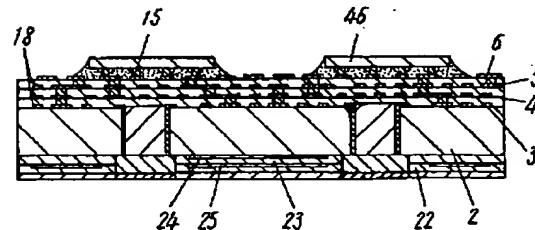
【図16】

- 2 セラミック基板
- 3 第1導体パターン
- 4 第2導体パターン
- 5 第3導体パターン
- 6 第4導体パターン
- 15 バンフ[®]
- 46 LSIチップ[®]

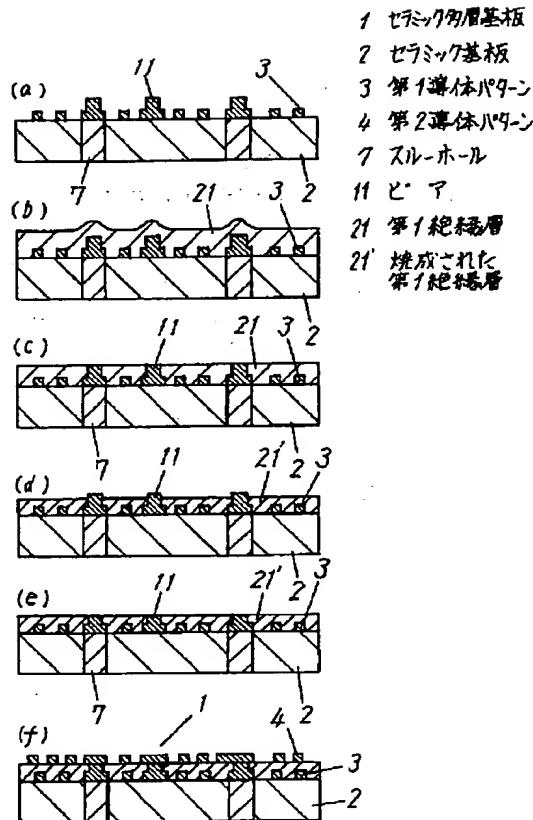


【図17】

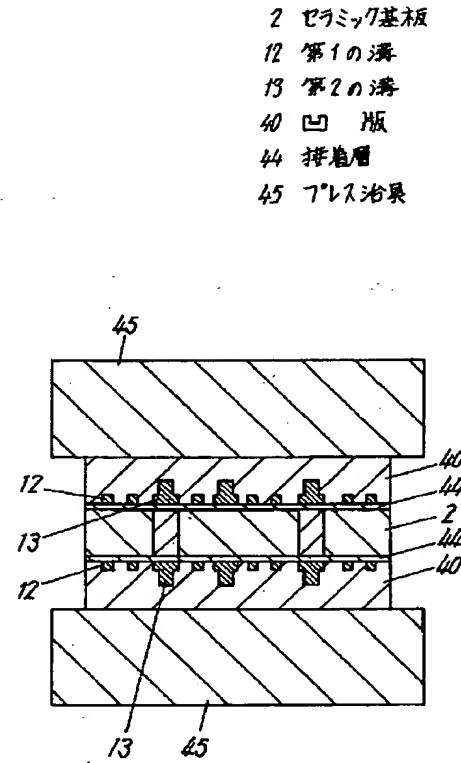
| | |
|---------------------|------------------------|
| 2 セラミック基板 | 18 ツールド電極 |
| 3 第1導体パターン | 22 第2絶縁層 |
| 4 第2導体パターン | 23 誘電体層 |
| 5 第3導体パターン | 24 電源電極 |
| 6 第4導体パターン | 25 グランド電極 |
| 15 バンフ [®] | 46 LSIチップ [®] |



【図12】

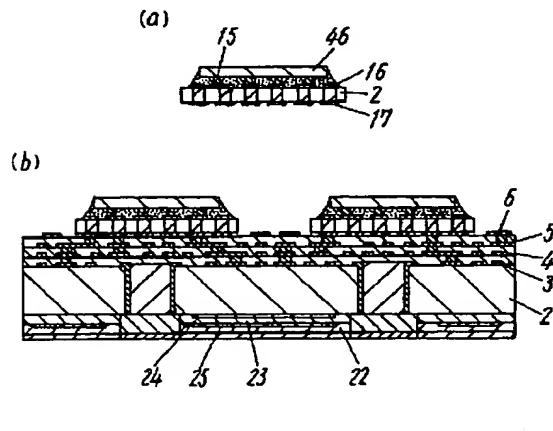


【図13】

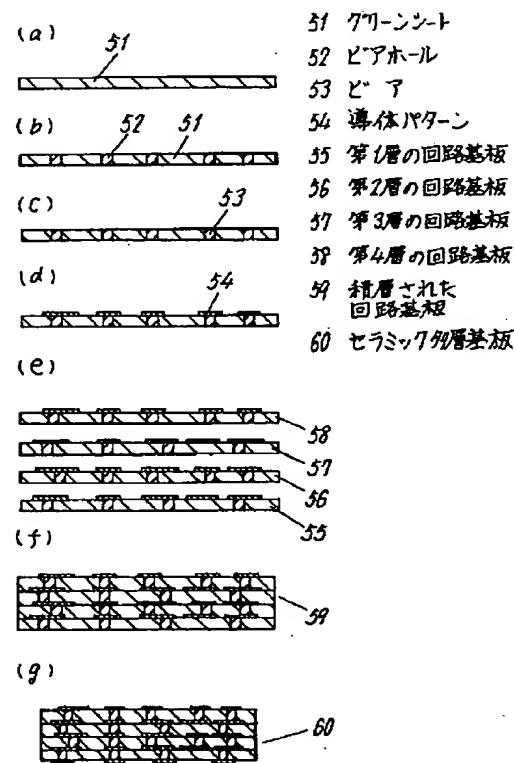


【図18】

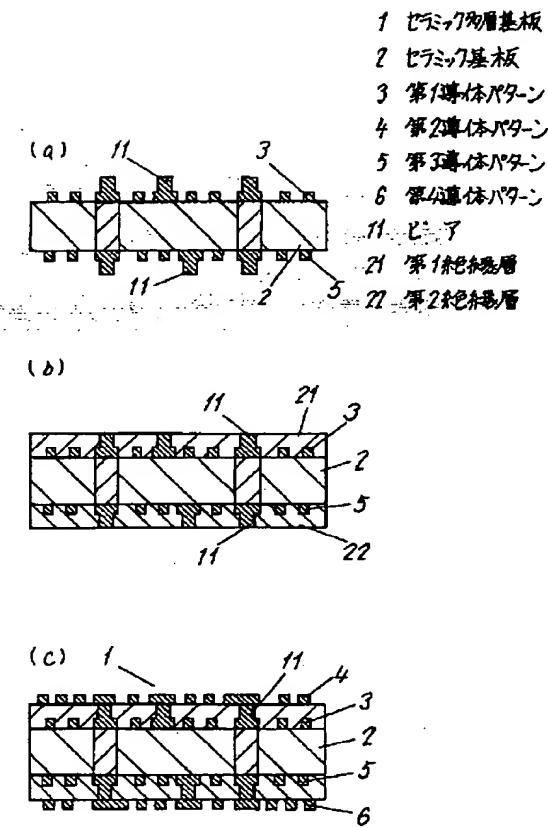
| | |
|------------|-------------|
| 2 セラミック基板 | 16 第5導体パターン |
| 3 第1導体パターン | 17 ランド部 |
| 4 第2導体パターン | 22 第2絶縁層 |
| 5 第3導体パターン | 23 誘電体層 |
| 6 第4導体パターン | 24 電源電極 |
| 15 パンフ | 25 グランド電極 |
| | 46 LSIチップ |



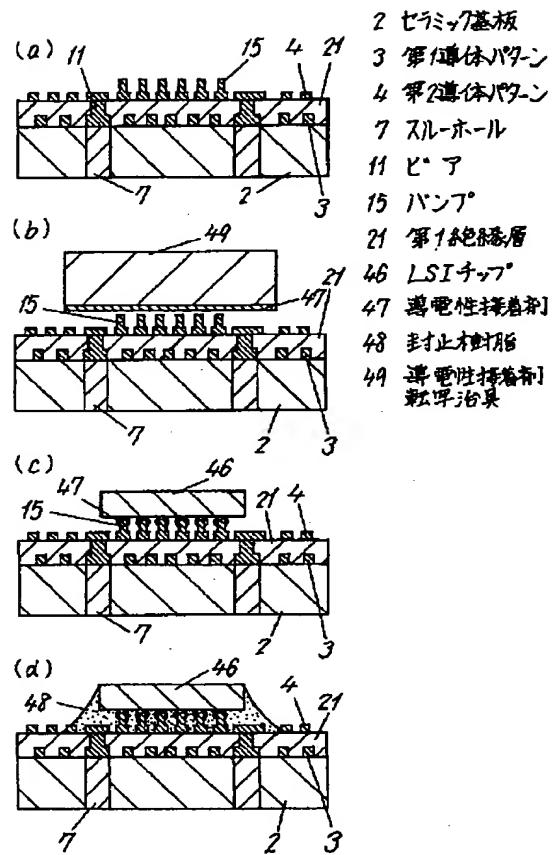
【図19】



【図14】



【図15】



フロントページの続き

(51)Int.Cl.6
// H 05 K 3/20

識別記号

F I
H 05 K 3/20

C